

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-249883

(43)Date of publication of application : 05.09.2003

(51)Int.Cl. H04B 7/08  
 H04B 1/16  
 H04B 7/26  
 H04J 11/00

(21)Application number : 2002-048898

(71)Applicant : KENWOOD CORP

(22)Date of filing : 26.02.2002

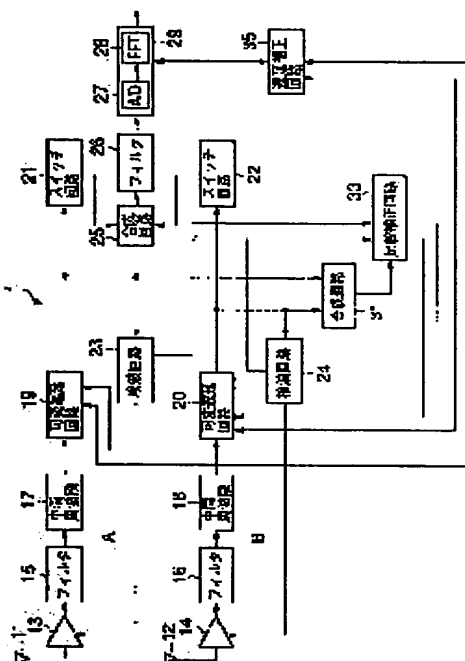
(72)Inventor : SAWANO YOICHI

## (54) DIVERSITY RECEIVER

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a diversity receiver for receiving digital broadcast.

SOLUTION: An intermediate frequency signal, based on an output signal from an antenna 11, is delayed by a variable delay circuit 19. An intermediate frequency signal, based on an output signal from an antenna 12, is delayed by a variable delay circuit 20. At least either a delay time of the circuit 19 or a delay time of the circuit 20 is changed, to obtain correlation between the output signal of the circuit 19 and the output signal of the circuit 20. The output signal of the circuit 20 is interrupted by a switch circuit 22 until the correlation can be obtained. When the correlation is obtained, the output signal of the circuit 20 is derived by the circuit 22. The output signal of the circuit 19 are combined with the output signal of the circuit 22 by a combining circuit 25 and the output thereof is demodulated by a demodulating section 29.



## LEGAL STATUS

[Date of request for examination]

08.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-249883  
(P2003-249883A)

(43) 公開日 平成15年9月5日 (2003.9.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-コ-ト <sup>*</sup> (参考)
H 0 4 B	7/08	H 0 4 B 7/08	D 5 K 0 2 2
	1/16	1/16	R 5 K 0 5 9
	7/26	H 0 4 J 11/00	Z 5 K 0 6 1
H 0 4 J	11/00	H 0 4 B 7/26	D 5 K 0 6 7

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2002-48898 (P2002-48898)

(22) 出願日 平成14年2月26日 (2002.2.26)

(71) 出願人 000003595

株式会社ケンウッド

東京都八王子市石川町2967番地3

(72) 発明者 澤野 陽一

東京都渋谷区道玄坂1丁目14番6号 株式  
会社ケンウッド内

(74) 代理人 100078271

弁理士 砂子 信夫

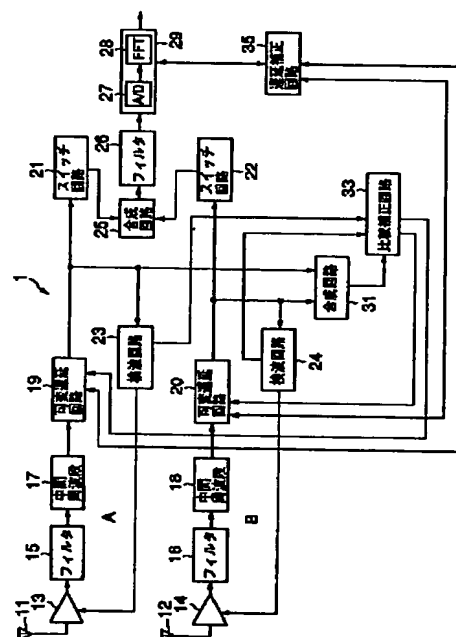
最終頁に続く

(54) 【発明の名称】 ダイバーシチ受信機

(57) 【要約】

【課題】 デジタル放送を受信するダイバーシチ受信機を提供する。

【解決手段】 アンテナ11からの出力信号に基づく中間周波信号を可変遅延回路19で遅延させ、アンテナ12からの出力信号に基づく中間周波信号を可変遅延回路20で遅延させ、可変遅延回路19の遅延時間または可変遅延回路20の遅延時間の少なくとも何れか一方を変更して可変遅延回路19の出力信号と可変遅延回路20の出力信号との相関を得、相関が得られるまではスイッチ回路22にて可変遅延回路20の出力信号を遮断し、相関が得られたときはスイッチ回路22により可変遅延回路20の出力信号を導出させ、可変遅延回路19の出力信号とスイッチ回路22の出力信号とを合成回路25で合成し、その出力を復調部29にて復調するようにした。



【特許請求の範囲】

【請求項1】 デジタル放送を受信するダイバーシチ受信機であって、第1のアンテナからの出力信号に基づく中間周波信号を遅延させる第1の変遅延回路と、第2のアンテナからの出力信号に基づく中間周波信号を遅延させる第2の変遅延回路と、第1の変遅延回路の遅延時間または第2の変遅延回路の遅延時間の少なくとも何れか一方を変更して第1および第2の変遅延回路の出力信号間の相関を得る相関検出手段と、第2の変遅延回路の出力信号を選択的に遮断する切り換え手段と、第1の変遅延回路の出力信号と切り換え手段の出力信号を合成する第1の合成回路と、第1の合成回路の出力を復調する復調部とを備え、前記相関が得られるまでは切り換え手段により第2の変遅延回路の出力信号を遮断し、前記相関が得られたときは切り換え手段により第2の変遅延回路の出力信号を第1の合成回路に導出することを特徴とするダイバーシチ受信機。

【請求項2】 請求項1記載のダイバーシチ受信機において、相関検出手段は、第1の変遅延回路の出力信号と第2の変遅延回路の出力信号とを合成する第2の合成回路と、第2の合成回路の出力信号レベルが最大になるように第1の変遅延回路の遅延時間または第2の変遅延回路の遅延時間の少なくとも何れか一方を変更して第2の合成回路の出力信号レベルが最大になったとき相関が得られたとする相関検出手段を備えたことを特徴とするダイバーシチ受信機。

【請求項3】 請求項1記載のダイバーシチ受信機において、第1の変遅延回路の遅延時間と第2の変遅延回路の遅延時間の短い方を基準にして、OFDMシンボル期間毎に前記短い方の遅延時間を0にするべく第1の変遅延回路の遅延時間と第2の変遅延回路の遅延時間を短縮していく遅延時間補正を行う遅延補正回路を備えたことを特徴とするダイバーシチ受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はダイバーシチ受信機に関する。

【0002】

【従来の技術】 移動体向けの放送受信のための受信機において、移動により生ずるマルチパス等の受信電波状況の変化によって、その放送受信が難しくなることが起こる。この状況を改善するために異なる指向性を持たせた複数のアンテナを使用して、受信状態のよいアンテナからの出力を選択し、受信する空間ダイバーシチ受信が行われる。

【0003】 アナログ放送を受信する従来のダイバーシチ受信機では、複数のアンテナ出力から最も受信状況のよいアンテナ出力を選択して受信することが多い。この選択は各アンテナの出力をスイッチ手段によって切り換え、入力レベルで判断している。この切り替えで復調部

に入力される信号は途切れることになるが、受信者の目や耳で確認することができない程の短時間の途切れであるために、アンテナの切り換え回路で対応することができる。

【0004】 また、アナログ放送を受信するダイバーシチ受信機では、複数のアンテナで受信した信号を単純に合成して復調するような構成を取ることはできない。これは異なる伝送経路をたどった時間差の生じている信号の合成ではゴースト画像が生じてしまうためである。

【0005】 一方、デジタル放送では、マルチパスに比較的耐性のある移動体受信も考慮に入れたOFDM変調方式を採用した放送が行われている。このデジタル放送においては、信号はシンボル単位で送られる。このOFDM信号の1 OFDMシンボル期間は、図7に示すように、ガードインターバル期間と有効シンボル期間とで構成され、ガードインターバルには有効シンボル期間の後ろ所定範囲の部分が有効シンボル期間の前面に巡回的に複写されている。受信側ではこの有効シンボル部分を復調することで、遅延したマルチパス信号による影響を防ぐことができる。

【0006】

【発明が解決しようとする課題】 しかしながら、デジタル放送では、シンボル単位で情報が送られてくるため、デジタル放送を受信するダイバーシチ受信機において、上記したアナログ放送を受信するためのダイバーシチ受信機で説明したように切り換えの時期を考えずに単純に入力信号レベルの大きい方に切り換えると、有効シンボル期間の途中で情報が途絶えることになり、画像や音声に途切れが発生する。このためにアンテナから復調部までを2系統設けて、シンボル毎に復調出力をシンボル毎に切り換える必要が生ずるという問題点がある。

【0007】 また、デジタル放送を受信するダイバーシチ受信機において、アンテナの選択でなく一方のアンテナからの出力信号を変換して得た中間周波信号と他方のアンテナからの出力信号を変換して得た中間周波信号とを合成して、合成信号を復調すると、進んでマルチパスの環境を作っている状況になる。しかるにデジタル放送でマルチパスに耐性のあるOFDM変調方式を採用していても耐性には限界があり、ガードインターバル期間以上時間的に遅れた信号が含まれると、実質的に復調できないことになる。

【0008】 さらにまた、ガードインターバル期間にマルチパスが収まっても、必要としない余計な信号は単なる妨害波であるため、異なるアンテナからの出力信号に基づく中間周波信号を単純に合成することは、妨害波を自ら発生させてしまう状況を作ることになるという問題点がある。

【0009】 本発明は、デジタル放送を受信するダイバーシチ受信機を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明にかかるダイバーシチ受信機は、デジタル放送を受信するダイバーシチ受信機であって、第1のアンテナからの出力信号に基づく中間周波信号を遅延させる第1の可変遅延回路と、第2のアンテナからの出力信号に基づく中間周波信号を遅延させる第2の可変遅延回路と、第1の可変遅延回路の遅延時間または第2の可変遅延回路の遅延時間の少なくとも何れか一方を変更して第1および第2の可変遅延回路の出力信号間の相関を得る相関検出手段と、第2の可変遅延回路の出力信号を選択的に遮断する切り換え手段と、第1の可変遅延回路の出力信号と切り換え手段の出力信号を合成する第1の合成回路と、第1の合成回路の出力を復調する復調部とを備え、前記相関が得られるまでは切り換え手段により第2の可変遅延回路の出力信号を遮断し、前記相関が得られたときは切り換え手段により第2の可変遅延回路の出力信号を第1の合成回路に導出することを特徴とする。

【0011】本発明にかかるダイバーシチ受信機における相関検出手段は、第1の可変遅延回路の出力信号と第2の可変遅延回路の出力信号とを合成する第2の合成回路と、第2の合成回路の出力信号レベルが最大になるように第1の可変遅延回路の遅延時間または第2の可変遅延回路の遅延時間の少なくとも何れか一方を変更して第2の合成回路の出力信号レベルが最大になったとき相関が得られたとする相関検出手段を備えたことを特徴とする。

【0012】本発明にかかるダイバーシチ受信機は、第1の可変遅延回路の遅延時間と第2の可変遅延回路の遅延時間の短い方を基準にして、OFDMシンボル期間毎に前記短い方の遅延時間を0にするべく第1の可変遅延回路の遅延時間と第2の可変遅延回路の遅延時間を短縮していく遅延時間補正を行う遅延補正回路を備えたことを特徴とする。

【0013】

【発明の実施の形態】以下、本発明にかかるダイバーシチ受信機の構成を実施の一形態によって説明する。

【0014】図1は本発明の実施の一形態にかかるダイバーシチ受信機の構成を示すブロック図である。

【0015】本発明の実施の一形態にかかるダイバーシチ受信機1は、後記のアンテナ12と異なる指向性を有するアンテナ11からの出力を増幅器13によって増幅し、増幅出力をフィルタ15によって帯域制限し、フィルタ15の出力を局部発振器からの発振出力と周波数混合する周波数変換段17において中間周波信号に変換し、中間周波信号を可変遅延回路19に供給して後記の可変遅延回路20の出力と相関を得るため時間的に遅延させ、可変遅延回路19において遅延させられた中間周波信号は可変遅延回路19からの出力のレベルを検出するための検波回路23に供給すると共に図示しない制御回路の制御の下に切り換えられるスイッチ回路21に供

給し、検波回路23の検波出力によって増幅器13の利得を制御するAGCを行う第1受信部Aを備えている。

【0016】ダイバーシチ受信機1は、さらに、アンテナ11と異なる指向性を有するアンテナ12からの出力を増幅器14によって増幅し、増幅出力をフィルタ16によって帯域制限し、フィルタ16の出力を局部発振器からの発振出力と周波数混合する周波数変換段18において中間周波信号に変換し、中間周波信号を可変遅延回路20に供給して可変遅延回路19の出力と相関を得るため時間的に遅延させ、可変遅延回路20において遅延させられた中間周波信号は可変遅延回路20からの出力のレベルを検出するための検波回路24に供給すると共に図示しない前記制御回路の制御の下に切り換えられるスイッチ回路22に供給し、検波回路24の検波出力によって増幅器14の利得を制御するAGCを行う第2受信部Bを備えている。

【0017】さらにまた、ダイバーシチ受信機1は、スイッチ回路21の出力信号とスイッチ回路22の出力信号とを合成回路25にて合成し、合成回路25からの出力は高域成分除去のためのフィルタ26を介してA/D変換器27に供給してA/D変換し、A/D変換出力はFFT処理回路28にてFFT処理することによって復調する。ここで、A/D変換器27とFFT処理回路28は復調部29を構成している。

【0018】可変遅延回路19の出力信号および可変遅延回路20の出力信号は合成回路31に供給して合成し、合成回路31からの合成出力信号、検波回路23への入力信号および検波回路24への入力信号は比較補正回路33に供給し、可変遅延回路19の遅延時間を一時的に固定し、合成回路31から出力される出力のレベルが最大、すなわち相関が得られた状態になるように、可変遅延回路20の遅延時間を制御して、可変遅延回路19の出力信号と可変遅延回路20の出力信号との2入力の相関を得る。ここで、検波回路23への入力信号および検波回路24への入力信号を比較補正回路33に供給するのは誤相関検出を防ぐためである。

【0019】一方、復調部29での復調処理状況から、マイクロコンピュータ、またはDSPからなる遅延補正制御回路35において、ガードインターバル期間の時間長、OFDMシンボルの境界時点、OFDMシンボル発生/終了時点とFFTウインドウの開始/終了時点（FFTウインドウの位置）、可変遅延回路19および20における遅延時間を検出し、可変遅延回路19の遅延時間、可変遅延回路20の遅延時間のうち短い方の遅延時間を0にする操作を行う。同時に遅延時間のない方の遅延時間も減少させていく。

【0020】ここで、FFTウインドウとは、この期間に送られてきた情報だけFFT処理を行うように指定する期間を示し、各OFDMシンボル期間のデータをデコードするため、必要な有効シンボル期間だけFFT処理

を行う範囲であり、本例ではFFTウィンドウの位置を有効シンボル期間の位置に設定してある。

【0021】次に、上記のように構成されたダイバーシチ受信機1の作用について、図2～図6に基づいて説明する。

【0022】アンテナ11側を基準、すなわち第1受信部A側を基準にする。受信開始時、可変遅延回路19の遅延時間を一時的に固定し、スイッチ回路21をオン状態に制御し、スイッチ回路22をオフ状態に制御して（図2、ステップS1）、スイッチ回路21を介した可変遅延回路19からの出力を復調部29で復調する（図2、ステップS2）。このように、ステップS1およびS2によって、アンテナ11からの出力信号に基づく中間周波信号は、可変遅延回路19、スイッチ回路21および合成回路25を通過し、復調部29において復調させるのは、アンテナ11からの出力信号に基づく中間周波信号を入力してデコードすることにより、アンテナ11からの出力信号に基づく中間周波信号とアンテナ12からの出力信号に基づく中間周波信号との2入力信号間の相関を得るための処理による時間の間、復調が遅れるのを防ぐためである。この場合、可変遅延回路19の遅延時間は任意の遅延時間に設定して固定しておく。

【0023】上記の処理、すなわちステップS1の処理と同時に、アンテナ11からの出力信号に基づく中間周波信号とアンテナ12からの出力信号に基づく中間周波信号は合成回路31に供給されていて、両中間周波信号は合成回路31において合成される。合成回路31において合成された信号は比較補正回路33に供給されて、比較補正回路33において合成回路31からの出力レベルが検出される。

【0024】ここで、可変遅延回路19の遅延時間を固定し、可変遅延回路20の遅延時間を可変させて、比較補正回路33において得られる合成回路31の出力信号レベルが最大、すなわち可変遅延回路19からの出力と可変遅延回路20からの出力との相関が得られるように、可変遅延回路20の遅延時間が補正される。

【0025】この場合に、アンテナ11および/またはアンテナ12からの出力レベルが増加したために合成回路31からの出力レベルが増大して、可変遅延回路19からの出力と可変遅延回路20からの出力との相関がとれていないのに、合成回路31からの出力レベルが増加して、恰も相関がとれたように誤判断するのを避けるために、検波回路23への入力および検波回路24への入力も比較補正回路33に供給して誤判断を避けて、相関が得られて合成回路35の出力レベルが増加したことを検出している。

【0026】つまり、合成回路31の出力信号レベル(c) - {検波回路23の入力信号レベル(a) + 検波回路24の入力信号レベル(b)} > 閾値が得られない状態では相関がとれていないと比較補正回路33で判断

して（図2、ステップS3）、可変遅延回路20の遅延時間を変更し、相関がとれるように動作を続けさせる

（図2、ステップS4）。合成回路31の出力信号レベル(c) - {検波回路23の入力信号レベル(a) + 検波回路24の入力信号レベル(b)} > 閾値が得られた状態で出力信号(c)が最大でないときは（図2、ステップS5）、可変遅延回路20の遅延時間を変更し、相関がとれるように動作を続けさせる（図2、ステップS4）。合成回路31の出力信号レベル(c) - {検波回路23の入力信号レベル(a) + 検波回路24の入力信号レベル(b)} > 閾値が得られた状態で出力信号

(c)が最大のときには相関がとれたと比較補正回路33で判断して（図2、ステップS5）、可変遅延回路20の遅延時間の変更動作を停止させる。

【0027】ステップS5において相関がとれたと判断されたときは、スイッチ回路22もオン状態に制御され、スイッチ回路21からの出力信号とスイッチ回路22からの出力信号とが合成回路25で合成され、フィルタ26で合成出力信号中の高域成分が除去されてA/D変換のうえ、FFT処理がなされて復調される（図2、ステップS2）。このように相関が得られた可変遅延回路19の出力信号および可変遅延回路20の出力信号を合成することによって、実質的に受信状況が改善された状態となり、実質的に受信状態が改善された合成信号が復調されることになる。

【0028】ここで、比較補正回路33において相関を得ることについて説明すると、OFDM変調信号はマルチキャリア方式の信号であり、このキャリア単体で見ると他のキャリアは全て雑音になる。しかるに、アンテナ11からの出力中およびアンテナ12からの出力中には時間的にずれはあるものの全く同じキャリアが存在し、この2つのキャリアが時間的に重なるとそのキャリアレベルは高くなる。また他のキャリアと重なっても単に雑音が加わった関係となるだけでキャリアのレベルはそれほど高くない。このことを利用して合成回路31の出力信号のレベルから、可変遅延回路19および可変遅延回路20の両出力信号の相関が得られたことを検出している。

【0029】合成回路25で合成された合成信号を復調している状態において、遅延補正制御回路35でガードインターバル期間の時間長、OFDMシンボルの境界時点、OFDMシンボル発生/終了時点とFFTウィンドウの位置、可変遅延回路19および20における遅延時間が認識され、可変遅延回路19の遅延時間、可変遅延回路20の遅延時間のうち短い方を基準として、短い方の遅延時間を0にする操作が行われる。

【0030】ここで、遅延補正制御回路35の作用について説明する。復調部29では入力された信号を1OFDMシンボル期間遅延させて検波するなどして同期を取っている。この同期がとられたことから、遅延補正制御

回路 35 では OFDM シンボル毎の境界時点が認識でき、またこの同期で遅延検波された信号の相関から、伝送モードとガードインターバルの期間長も認識できる。また、同期がとれたことから FFT ウィンドウの位置が決定される。例えば、図 3 に示すように、OFDM シンボルの境界時点から  $X \mu s$  後の信号から 2 k モードであれば  $224 \mu s$  (有効シンボル期間) までを、8 k モードであれば  $896 \mu s$  (有効シンボル期間) までを FFT 処理するための期間として設定することができる。このタイミングを遅延補正制御回路 35 にて認識させる。

【0031】また、可変遅延回路 19 および可変遅延回路 20 の可変遅延時間の補正制御を遅延補正制御回路 35 が行っているため、遅延補正制御回路 35 にて可変遅延回路 19 および可変遅延回路 20 の現在の遅延補正時間を認識することができる。

【0032】また、復調部 29 における復調処理に基づいて、遅延補正制御回路 35 では、FFT 処理回路 28 から送られるタイミング信号や、図 4 に示す構成の伝送パラメータ信号 (TPS、Transmission Parameter Signalling) を復調した結果のインフォメーション情報中から得られる図 5 に示すガードインターバル区間の時間長、伝送モード等の情報から、OFDM シンボル区間の境界時点、OFDM シンボル期間と FFT ウィンドウの位置と、さらに可変遅延回路 19 の遅延時間と可変遅延回路 20 の遅延時間を認識することもできる。図 5 において 2 k、8 k は伝送モードを示し、 $1/4$ 、 $\dots$ 、 $1/32$  の表示は有効シンボル期間に対するガードインターバル期間の割合を示している。

【0033】上記の情報を認識した遅延補正制御回路 35 は下記のように可変遅延回路 19 および 20 の遅延時間を補正制御する。

【0034】可変遅延回路 19 および 20 の遅延時間の短い方を基準にして、この短い方の遅延時間を  $Y$  とする。OFDM シンボルの境界時点と FFT ウィンドウの開始時点との時間差  $X$  と遅延時間  $Y$  との和がガードインターバルの期間長よりも短いとき、すなわち  $X \mu s + Y \mu s < \text{ガードインターバルの期間長}$  のとき、可変遅延回路 19 および可変遅延回路 20 の双方の遅延時間を  $Y$  だけ OFDM シンボル期間毎に同時に短くする。

【0035】図 6 は遅延時間の補正処理の説明図であり、図 6 (a) は遅延時間の補正制御前の状態を模式的に示し、図 6 (b) は遅延時間の短縮補正制御が中央に示す OFDM シンボル期間で行われたときの状態を模式的に示している。図 6 (b) では (OFDM シンボル期間長  $- Y \mu s$ ) = 短縮シンボル期間長 > (有効シンボル期間長  $+ X \mu s$ ) のときを示している。

【0036】また、 $Y \mu s$  だけ一度に補正せずに、1 OFDM シンボル期間毎に  $T \mu s$  ( $T \mu s < Y \mu s$ ) 補正

し、次の OFDM シンボル期間でまた  $T \mu s$  補正をするようにして、これを繰り返してもよい。このようにすることにより、 $X \mu s + Y \mu s > \text{ガードインターバルの期間長}$  のときにも対応することができる。

【0037】上記のように、ダイバーシチ受信機 1 によれば、情報を途切れることなく得ながら、可変遅延回路 19 および可変遅延回路 20 の短い方の遅延時間を限りなく 0 にすることができる。

【0038】また、ダイバーシチ受信機 1 によれば、スイッチ回路 22 をオン状態にするのは可変遅延回路 19 の出力信号と可変遅延回路 20 の出力信号との相関がとれたときであるため、スイッチ回路 22 のオンによりマルチパスをつくるようなことはない。

【0039】また、スイッチ回路 22 のオフ状態中においても、スイッチ回路 21 からの出力を復調部に導いて復調が行われているため、復調部が 1 つで済み、かつ復調出力が途絶えることもない。

【0040】

【発明の効果】以上説明したように本発明のダイバーシチ受信機によれば、デジタル放送を受信するダイバーシチ受信機を得ることができる。

【図面の簡単な説明】

【図 1】本発明の実施の一形態にかかるダイバーシチ受信機の構成を示すブロック図である。

【図 2】本発明の実施の一形態にかかるダイバーシチ受信機の作用の説明に供するフローチャートである。

【図 3】OFDM シンボル期間および有効シンボル期間の説明に供する模式図である。

【図 4】伝送パラメータ信号の構成を示す説明図である。

【図 5】ガードインターバル期間長の説明に供する説明図である。

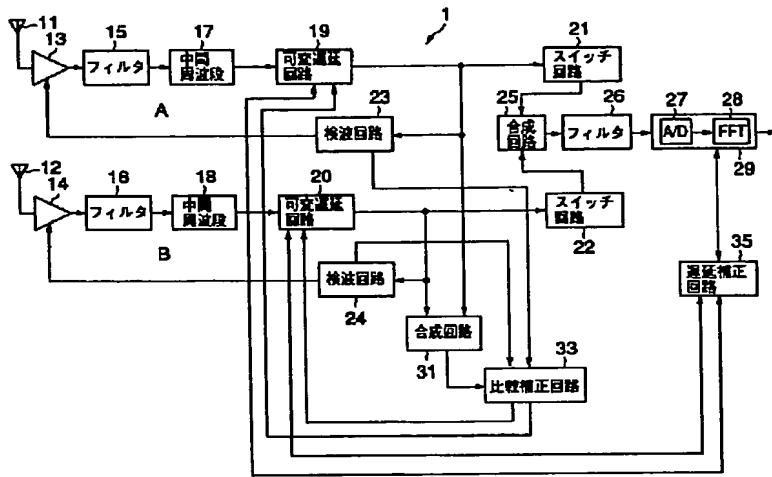
【図 6】本発明の実施の一形態にかかるダイバーシチ受信機における可変遅延回路の遅延時間の補正を説明する模式図である。

【図 7】OFDM シンボル期間とガードインターバル期間の説明図である。

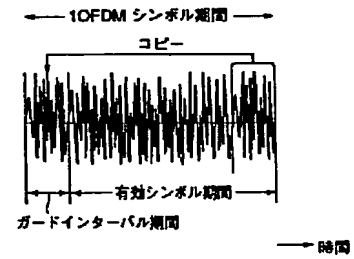
【符号の説明】

- 11 および 12 アンテナ
- 13 および 14 増幅器
- 17 および 18 中間周波段
- 19 および 20 可変遅延回路
- 21 および 22 スイッチ回路
- 23 および 24 検波回路
- 25 および 31 合成回路
- 28 FFT 処理回路
- 29 復調部
- 33 比較合成回路

【図1】

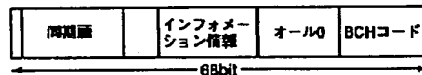
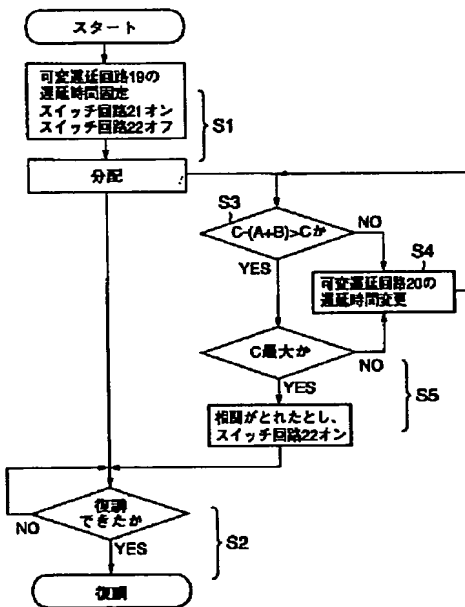


【図7】

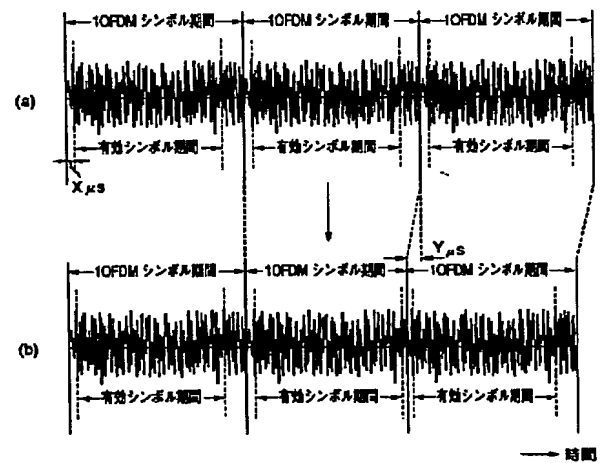


【図2】

【図4】



【図6】

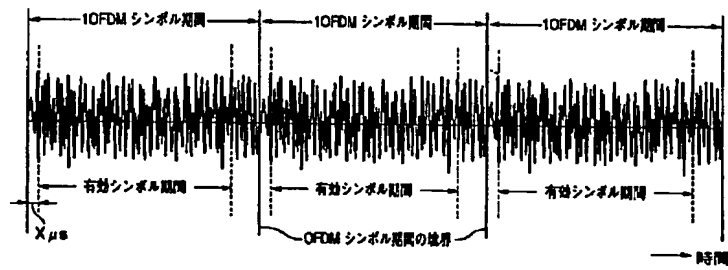


【図5】

ガードインターバル	1/4	1/8	1/16	1/32
2k	224/4	224/8	224/16	224/32
1有効シンボル期間224 μs	=56 μs	=28 μs	=14 μs	=7 μs
8k	896/4	896/8	896/16	896/32
1有効シンボル期間896 μs	=224 μs	=112 μs	=56 μs	=28 μs



【図3】



フロントページの続き

F ターム(参考) 5K022 DD01 DD13 DD19 DD33  
 5K059 CC03 DD32 DD36 EE02  
 5K061 AA04 AA10 BB06 CC00 CC05  
 CC23 CC45  
 5K067 AA02 AA24 CC24 DD51 EE02  
 FF02 KK03

**THIS PAGE BLANK (USPTO)**